

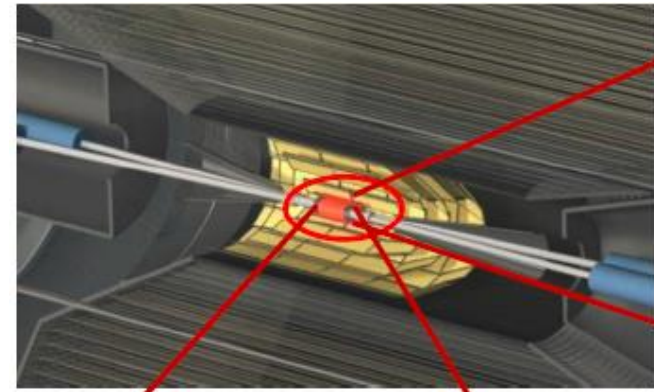
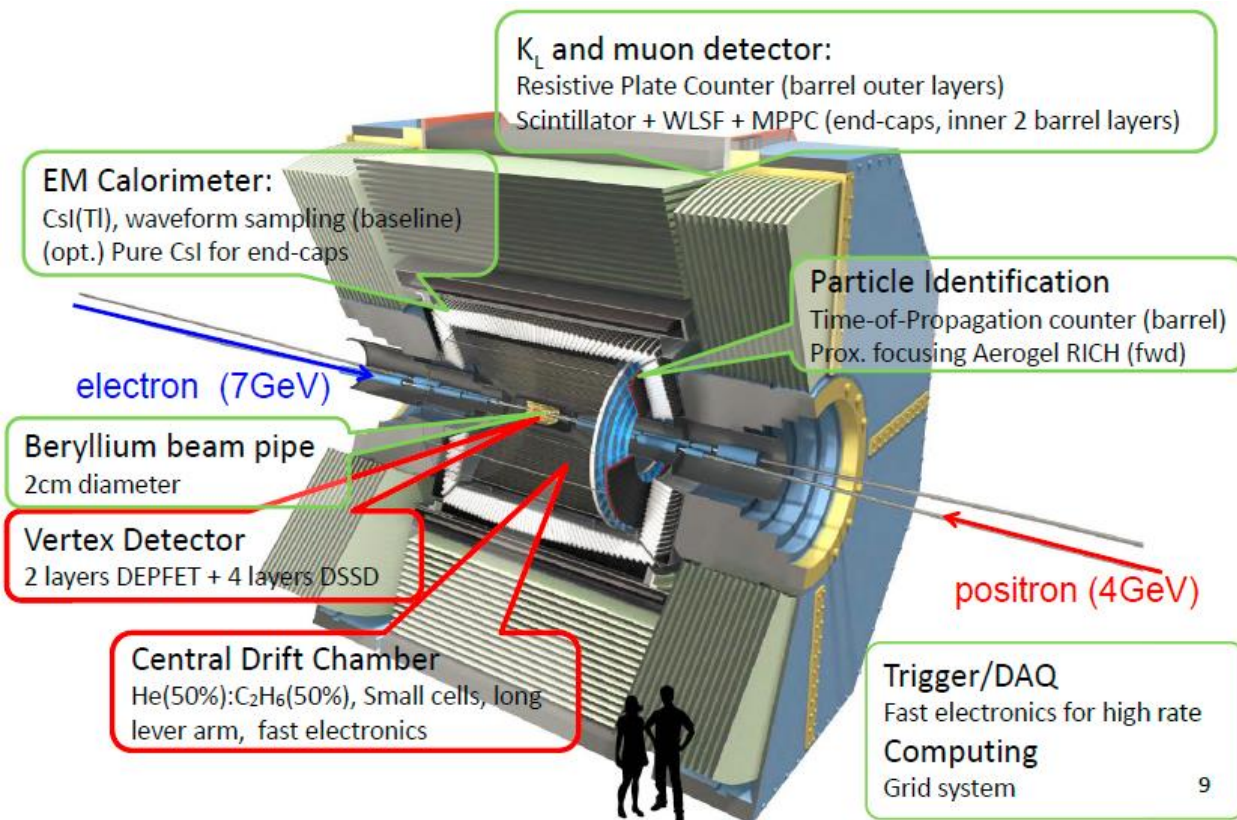
Pixel Detector Upgrade

石川明正
(東北大学)

Flavor Physics Workshop 2018

Belle Pixel Detector

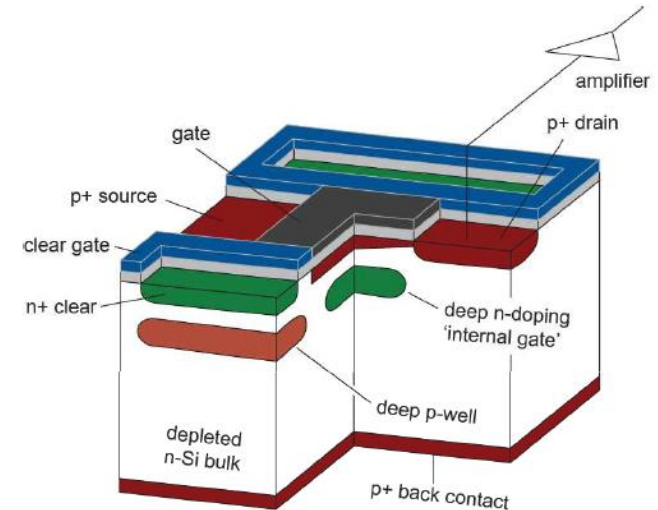
- DEPFET



	Layer 1	Layer 2
半径	14mm	22mm
ピクセル サイズ	55 x 50 μm^2 60 x 50 μm^2	70 x 50 μm^2 85 x 50 μm^2
厚さ	75 μm (0.18X₀)	75 μm
ピクセル数	3.1M	4.6M

DEPFET(DEPleted Field Effective Transistor)

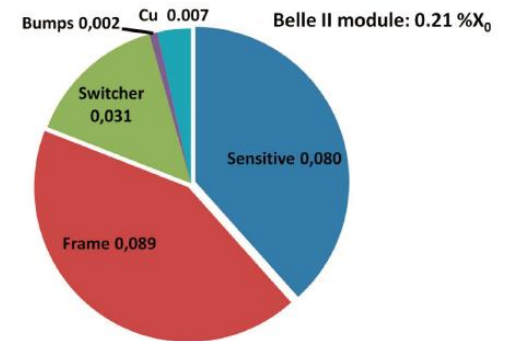
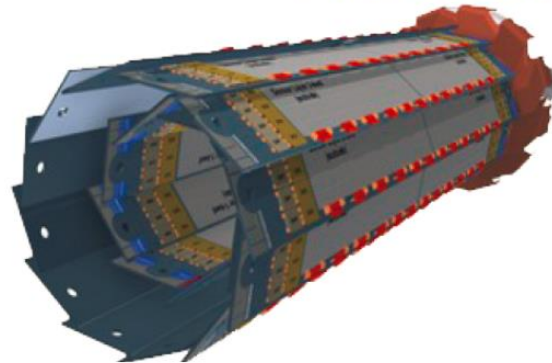
- 全空乏型電界効果トランジスタ
 - PチャンネルのFET
 - N+ をバルクに作り gate の下に電荷が集まるようにし、トランジスターで電流を増幅
 - $g \sim 400 \text{ pA/e}^-$
 - 読み出しが終わったら電荷をクリアする
 - ピクセルサイズ 20 μm
 - 800M pixel in total
 - ローリングシャッター読み出し
 - 最内層 50ns/row, 50 μs /frame
 - 外層 250ns/row , 250 μs /frame
 - 放射線耐性 $>1 \text{ Mrad}$, $10^{12} \text{ n}_{\text{eq}}/\text{cm}^2$
 - Belle II 実験で採用



Belle IIのPixel Detector

- DEPFET
 - Rolling shutter **20usec**
 - Occupancy **a few %**

Pixel detector geometry



	Belle II PXD
Occupancy	0.4 hits/ $\mu\text{m}^2/\text{s}$ (< 3%)
Radiation	2 Mrad/year
	$2 \cdot 10^{12}$ 1 MeV n_{eq} per year
Frame time	20 μs
Momentum range	~ 70 MeV - few GeV
Angular acceptance	17° - 155°
Material budget	0.21% X_0 per layer
Resolution	15 μm ($50 \times 75 \mu\text{m}^2$)

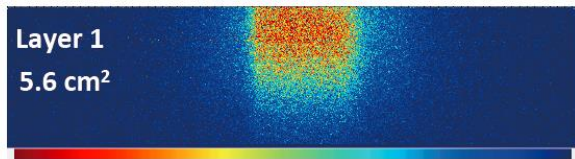
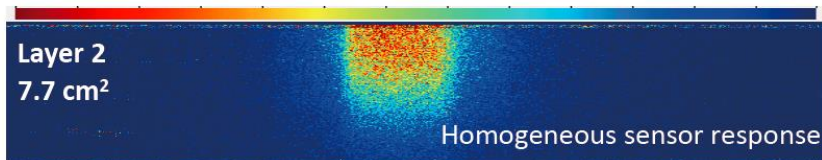
DEPFET PXD	L1	L2
# ladders	8	12
Distance from IP (cm)	1.4	2.2
Sensitive thickness (μm)	75	75
#pixels/module	768x250	768x250
Total no. of pixels	3.072×10^6	4.608×10^6
Pixel size (μm^2)	55x50 60x50	70x50 85x50
Frame/row rate	50kHz/10MHz	50kHz/10MHz
Total sensitive Area (cm^2)	89.6	176.9

Larger pixels
in fwd region

Performance

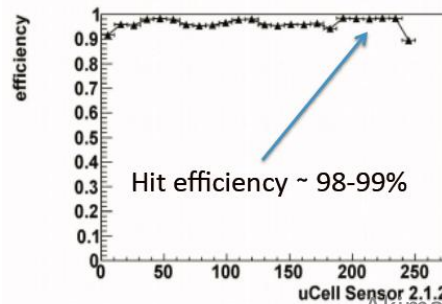
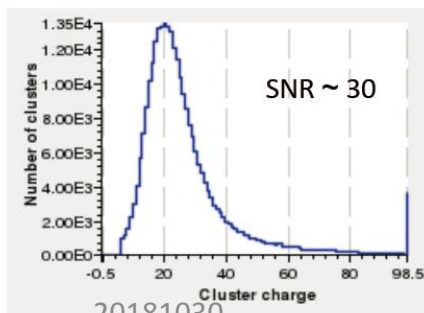
- Efficiency 98~99% (95% for some cell?)
- ~10 μ m resolution
 - 8bit ADC, 92ns sampling

PXD performance at beam test



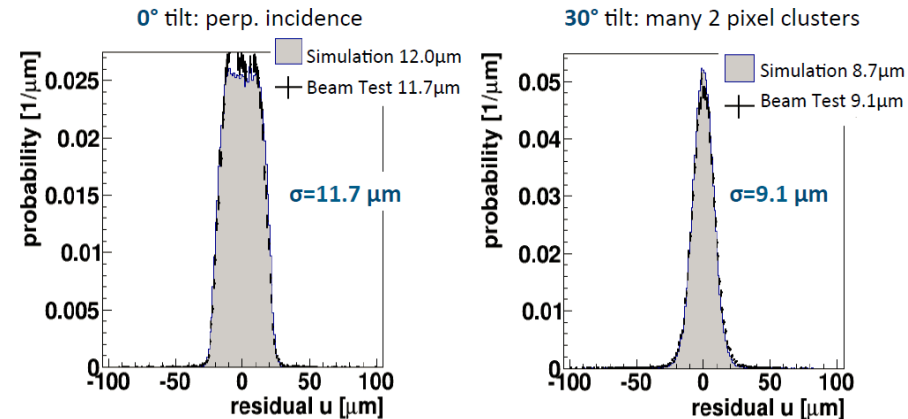
Threshold:
~ 1200 electrons

MIP, perpendicular incidence



PXD performance: Residuals

From PXD standalone beam test with EUDET telescope



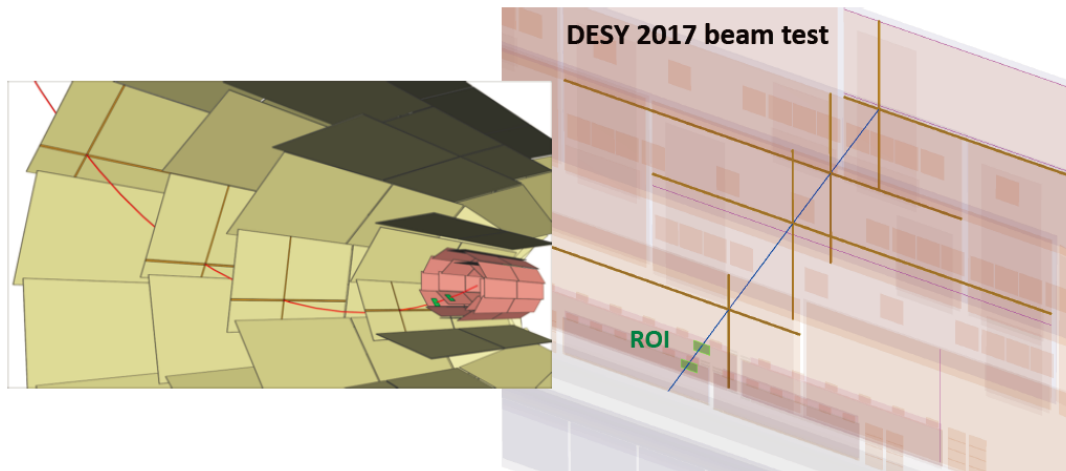
- Expectation for single pixel readout: $\text{RMS}=50\mu\text{m}/\sqrt{12} \approx 14.5\mu\text{m}$
- Matrix tilted along column: multi-column clusters

ROI

- Data reduction factor >10
 - 読み出し時間(20us)が 1/10 になれば ROI を使う必要は無い
 - Rolling shutter は占有率が高くデータ量が多い

PXD online data reduction

SVD track reconstruction, extrapolation to PXD and Regions-of-interest finding
performed by High Level Trigger (software) and DATCON (FPGA)



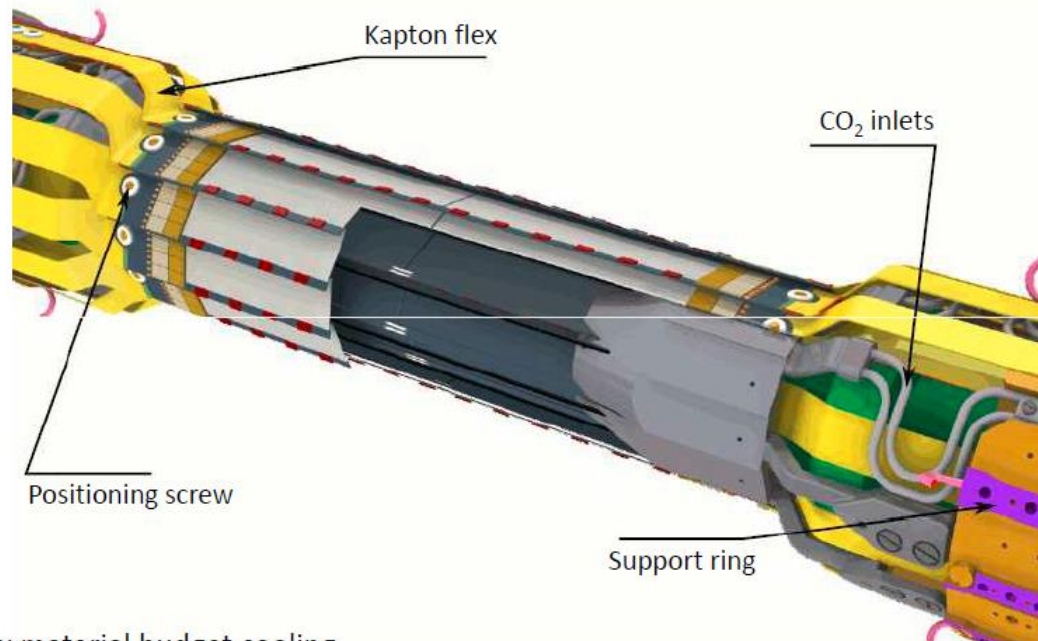
- Data reduction performance:

ROI efficiency above 97% (small ROIs $2.5 \times 2.5 \text{ mm}^2$) for **data reduction factor > 10**

Cooling

- Sensitive area は air cooling
- Forward backward の acceptance の外に読み出しを置いてCO2 cooling

Mechanical design



- Low material budget cooling
 - Massive structures outside the acceptance to cool down the readout chips
 - The center of the ladder rely on cold air

Summary of DEPFET

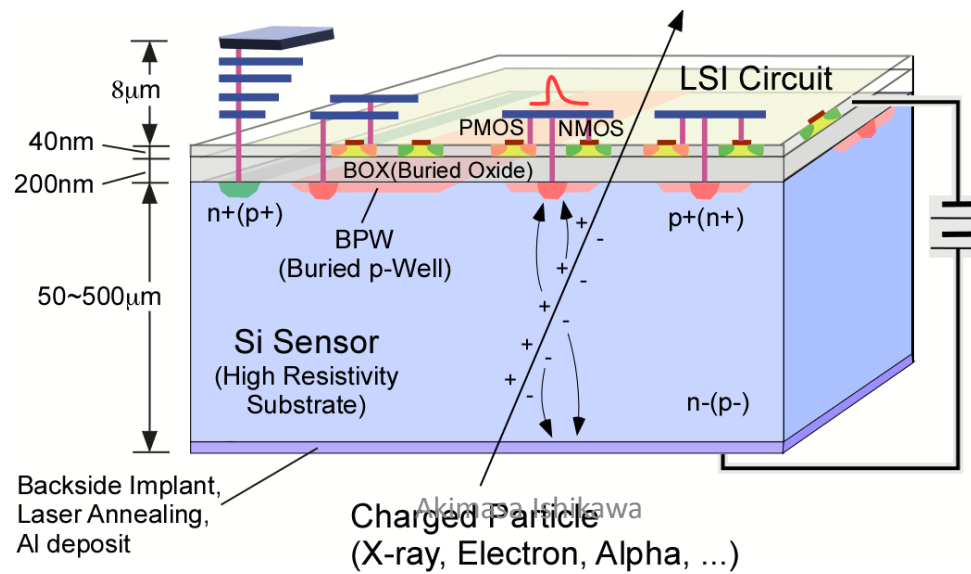
- DEPFET
 - Occupancy **a few %**
 - Rolling shutter **20us**
 - Suffers from beam injection noise in every **10us**
 - Efficiency 98~99% (95% for some cell?)
 - ~10um resolution
 - DCBA : 8bit ADC?? 92ns sampling, 10Mrad
 - **2.5x2.5mm² ROI** to reduce data transfer rate
 - Data reduction factor >10
 - Air cooling for sensitive area
 - Massive cooling structure outside acceptance (FW, BW)
 - Complicated in house production
 - low yield?
 - No improvement on process rule?

目標

- 速い detector
 - Occupancy を下げたい ($O(10^{-4})$ ぐらいまで下げたい)
 - ROI は使いたくない。シグナルのヒットを捨てる可能性がある。
 - アナログで複雑なことはしない
 - Pixel ごとに binary 読み出し
 - 単純な物の方が確実な物が作れるはず
 - DEPFET 程度の resolution
 - 10um $\rightarrow$ 35um 角の pixel ($35\text{um}/\sqrt{12} \sim 10\text{um}$)
-
- Occupancy をもっと下げられれば IP の近くに設置可能 (radiation tolerance は DEPFET よりかなり良いはず)
 - IP に近ければ low momentum の position resolution は良くなる

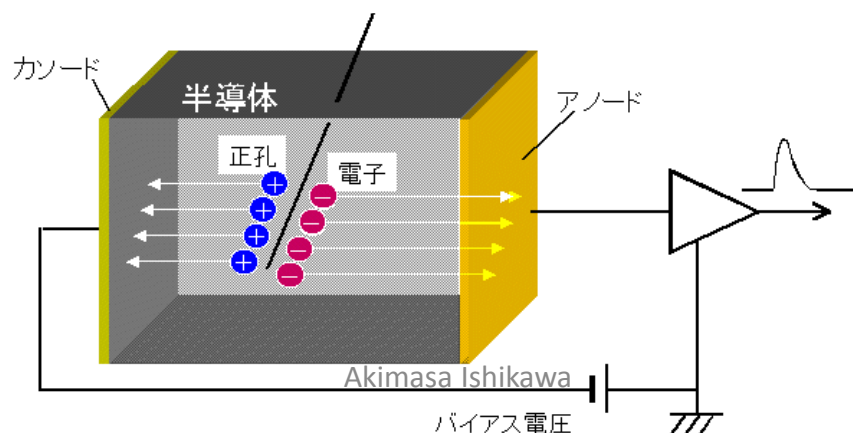
テクノロジー

- Silicon-on-Insulator (Si-SiO₂-Siのサンドイッチ構造)
 - 高抵抗シリコン層(センサー層)
 - 二酸化シリコン層(Insulator: 絶縁体)
 - シリコン層(回路層)
- メリット
 - モノリシック
 - センサーと回路をバンプボンディングする必要が無い
 - 寄生容量・物質量・ピクセルサイズ・消費電力が小さいため、高エネルギー実験の崩壊点検出器として最適。



一般的な半導体検出器の簡単な原理

- 高速の荷電粒子がシリコンを通過するとシリコン中に電子とホールペアを作る
 - 8000電子ホールペア/100 μm (1ペア/3.64eV)
 - ガス検出器だと大体 O(100)電子イオンペア/cm (1ペア/O(100)eV)
- シリコン中に電場(逆バイアス)をかけ、生成された電子とホールが電極に向かってドリフトさせる
- 電極から電子・ホールを検出する。
- 電子回路で増幅し読み出す

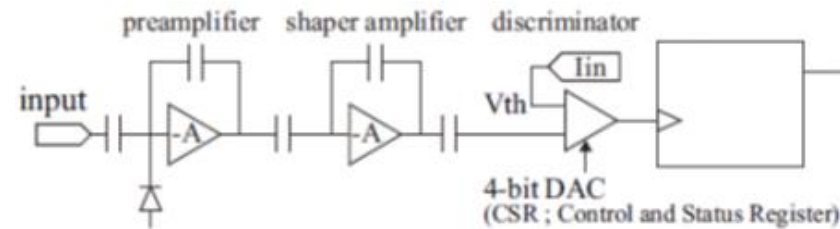


センサー概念設計

- 速い読み出しのバイナリーPixel 検出器

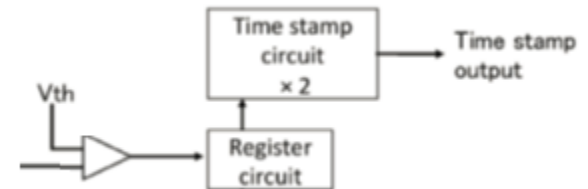
- アナログ

- Amp-shaper-discr は pixel の中



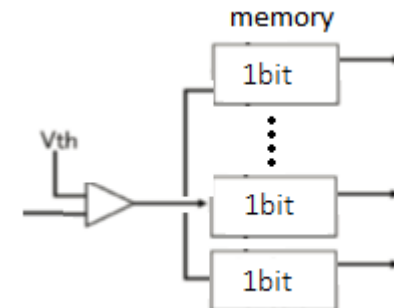
- Pixelデジタル案1 (O(100)ns以下の時間情報が使える, Occu 約1/40以下)

- Hit 情報を pixel 内の memory (1 bit x 2) にためる。
 - Hit した瞬間からコンデンサーに電荷をためる。
 - 電荷の量が時間情報
 - 1us (beam abort gap) に一回読み出し。
 - 電荷を ADC で digital 化して時間情報を取得



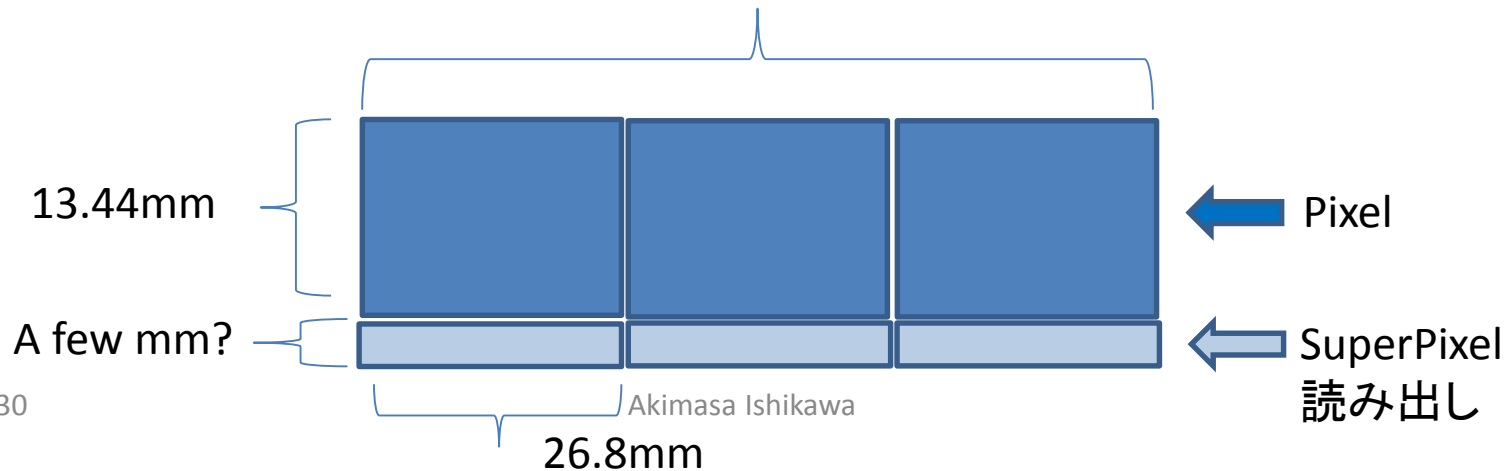
- Pixelデジタル案2 (500nsの時間情報→ Occu 約1/100)

- pixel 内に 1 bit memory を 16 個ぐらいおき、あるメモリがあるタイミング(500nsごと, 8us latencyまで対応)に対応しており、trigger が来たらそのタイミングのメモリを読み出す。



センサーの大きさ

- とりあえず layer 1 ($r=14\text{mm}$) を目標とする
- センス領域の大きさ
 - Row : $35\mu\text{m} \times 384\text{ch} = 13.44\text{mm}$
 - とりあえず $r=14\text{mm}$ を8つのラダーで覆う
 - Column : $35\mu\text{m} \times 2304\text{ch} = 80.6\text{mm}$
 - $R=14\text{mm}$ を $17 \sim 150$ 度まで覆うには 70.004mm 必要
 - 厚さ $50\mu\text{m}$
- Super Pixel 読み出しは column の端 a few m
- デカいので Stitching が必要。
 - Column 方向に分割 $768\text{ch} \times 3 \rightarrow 26.8\text{mm}$ を3つ
- あとは電源やガードリング $80.6 + \alpha \text{ mm}$



Summary

- Pixel Detector の Upgrade を考え始めました。
- SOI技術を使った検出器を考えています。
- アイディアがありましたら一緒にやりましょう。